

Concise Explanation of Relevance of References 4 and 5

Reference 4 discloses, in section 0007 and Figure 1, a memory circuit having a ferroelectric memory cell and a cache memory. Further, reference 4 teaches, in section 0025 (2) and Figure 4, that an electric potential VPL of the common plate of ferroelectric capacitor is changed only one time at each timings of recall start and recall end, and a destructive readout without write-back is made in data reading.

Reference 4 teaches to use a ferroelectric memory cell as the memory cell.

Reference 5 discloses, in section 0015, a memory device having dynamic memory 100 and cache memory 110. Further, reference 5 teaches, in sections 0016 and 0019, that a destructive readout without write-back is made in data reading.

Reference 5 teaches, in section 0048, that the invention does not require to make limitations in line size, number of ways and capacity of cache memory 110.

SEMICONDUCTOR DEVICE

Publication number: JP10112191

Publication date: 1998-04-28

Inventor: TAKEUCHI MIKI; NISHIMOTO JUNICHI; SHIMAZAKI YASUHISA; YAMADA KOSHI; TANIGAWA HIROYUKI

Applicant: HITACHI LTD

Classification:

- international: G11C14/00; G11C11/22; H01L21/8246; H01L27/10; H01L27/105; G11C14/00; G11C11/22; H01L21/70; H01L27/10; H01L27/105; (IPC1-7): G11C14/00; H01L27/10; H01L27/105

- European:

Application number: JP19960264065 19961004

Priority number(s): JP19960264065 19961004

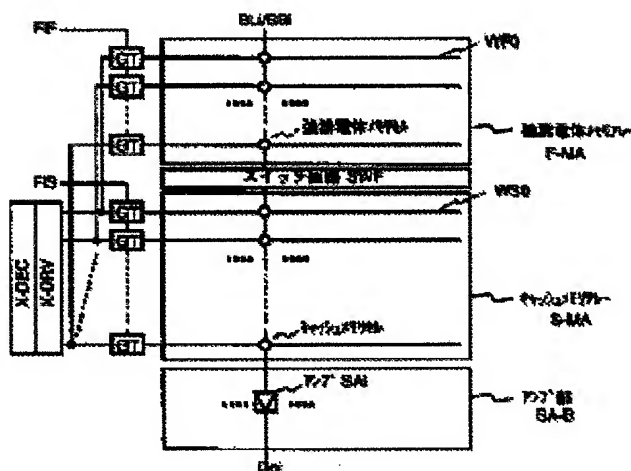
REFERENCE 4

Report a data error here

Abstract of JP10112191

PROBLEM TO BE SOLVED: To maintain the high speed property of flip-flop circuits at the time of a normal operation by separating ferroelectric capacitors for retaining nonvolatility with a switching circuit.

SOLUTION: A cache memory array S-MA is constituted of a word line WSO or the like, a bit line pair BLi/BLi or the like and a cache memory cell matrix arranged at intersections of word lines and bit line parts. An amplifier part SA-B detects and amplifies information of cache memory cells to output them to output lines Doi. A ferroelectric substance memory array F-MA is constituted of a work line WFO or the like, a bit line pair BLi/BLi or the like and a ferroelectric substance cell matrix arranged at intersections of word lines and bit line pairs and is arranged at a side opposite to the amplifier part SA-B with respect to the cache memory array S-MA via a switching circuit SWF. When the switching circuit SWF is turned on, the high speed property as a cache memory is not hindered by electrically separating the ferroelectric substance memory array F-MA from the cache memory array S-MA.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-112191

(43)公開日 平成10年(1998) 4月28日

(51)Int.Cl. ⁹	識別記号	F I	
G 1 1 C 14/00		G 1 1 C 11/34	3 5 2 A
H 0 1 L 27/105		H 0 1 L 27/10	4 5 1
27/10	4 5 1		4 4 1

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21)出願番号 特願平8-264065

(22)出願日 平成8年(1996)10月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 竹内 幹

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 西本 順一

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 島崎 靖久

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 小川 勝男

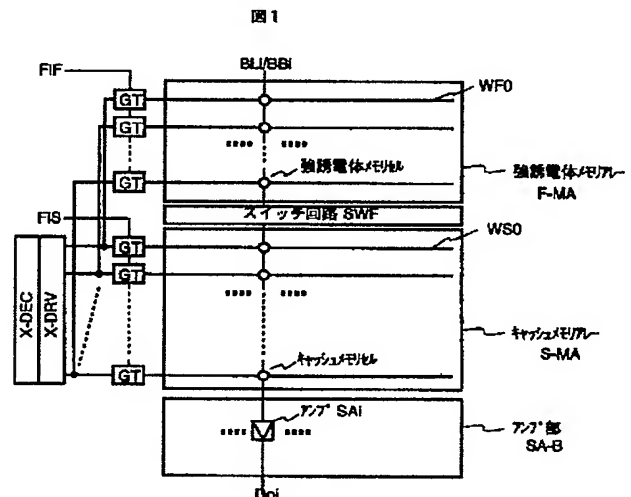
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】高速動作するフリップフロップ回路の状態を強誘電体キャパシタの分極方向として不揮発に保持する。

【解決手段】キャッシュメモリ領域（またはレジスタファイル領域）と強誘電体メモリ領域をビット線とアンプを共有して分離して形成する。通常動作時は、強誘電体メモリ領域をスイッチ回路で電氣的に切り離す。



【特許請求の範囲】

【請求項1】複数の第一ワード線とこれに交差する複数のビット線の交点に複数個のフリップフロップ回路がマトリックスに配置された領域と、複数の第二ワード線とこれに交差する複数のビット線との交点に、電界効果トランジスタと強誘電体キャパシタとで構成される複数個の強誘電体メモリセルがマトリックスに配置された領域とを有し、上記フリップフロップ回路の接続するビット線と上記強誘電体メモリセルの接続するビット線とをスイッチを介して電氣的に接続する手段を設けてなる半導体装置において、上記スイッチを接続状態として、上記強誘電体キャパシタに保持された分極方向としての不揮発情報を上記フリップフロップ回路の状態に転写する第一の動作モードと、上記スイッチを非接続状態として、上記フリップフロップ回路の状態を検知あるいは書換える第二の動作モードと、上記スイッチを接続状態として、上記フリップフロップ回路の状態を上記強誘電体キャパシタの分極方向としての不揮発情報に転写する第三の動作モードとを有し、上記第一及び第三の動作モードで情報の転写が行われる上記強誘電体キャパシタと上記フリップフロップ回路とは、一対一に確定していることを特徴とする半導体装置。

【請求項2】請求項1において、上記フリップフロップ回路の接続するビット線には、上記フリップフロップ回路の状態と上記強誘電体キャパシタに保持された不揮発情報とを検知するために併用されるアンプが接続されている半導体装置。

【請求項3】請求項1において、上記フリップフロップ回路はキャッシュメモリとして用いられる半導体装置。

【請求項4】請求項1において、同一チップ上にCPUが設けられ、上記複数のフリップフロップ回路の少なくとも一部は、上記CPUを制御する命令セットのデータで直接アドレス指定されるレジスタファイルである半導体装置。

【請求項5】請求項1において、上記強誘電体キャパシタのプレートは上記第一ワード線のうち異なるワード線に接続するメモリセルに対して共通化され、上記第一の動作モードでは、上記共通プレートは第一の電位に設定され、上記スイッチで電氣的に接続されたビット線のプリチャージ電位は上記第一の電位とは異なる第二の電位に設定され、上記第三の動作モードでは、上記共通プレートは第三の電位に設定され、上記フリップフロップ回路の状態が上記ビット線に上記第三の電位とは異なる第四の電位または上記第四の電位とは異なる第五の電位として増幅された後に上記強誘電体メモリセルが上記ビット線に接続され、上記第二の電位の第一の電位に対する高低の関係は、上記第四の電位の第三の電位に対する高低の関係と逆である半導体装置。

【請求項6】請求項5において、上記第五の電位は上記第三の電位にほぼ等しい半導体装置。

【請求項7】請求項6において、上記第二の電位及び上記第三の電位は電源電圧にほぼ等しく、上記第一の電位及び上記第四の電位は接地電圧にほぼ等しい半導体装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体装置に係り、特に、高速動作するフリップフロップ回路の状態を強誘電体キャパシタの分極方向として不揮発に保持する装置に関する。

【0002】

【従来の技術】フリップフロップ回路の揮発情報を、強誘電体キャパシタの分極方向として不揮発に保持するための方法が、たとえば米国特許第69390号に示されている。図6(a)及び(b)に、その回路構成と動作方法をそれぞれ示す。フリップフロップ回路の相補的な記憶ノードには、スイッチを介して強誘電体キャパシタが接続されている。揮発情報を不揮発情報に転写したり、あるいは逆に不揮発情報を揮発情報に戻したりするには、図6(b)あるいは米国特許第69390号に詳細に示されているように、CLK3をハイレベルにした状態で、CLK2にパルスを与える。

【0003】

【発明が解決しようとする課題】しかし、上記のような回路構成及び動作方法を、たとえばキャッシュメモリとして知られる高速動作のフリップフロップ回路に適用する場合、速度が劣化してしまうという問題がある。なぜなら、付加した強誘電体キャパシタや電界効果トランジスタのためにメモリセルの面積が増大し、その結果、ビット線対BL、BBやワード線WL、あるいはフリップフロップ回路の拡散層領域に多くの寄生容量が付加したり、配線抵抗が増加したりするからである。

【0004】

【課題を解決するための手段】本発明の半導体装置では、複数のワード線(WS0など)とこれに交差する複数のビット線対(BLi/BBiなど)の交点に複数個のフリップフロップ回路(たとえばキャッシュメモリセル)がマトリックスに配置された領域と、上記ワード線とは別の複数のワード線(WF0など)とこれに交差する複数のビット線との交点に、電界効果トランジスタと強誘電体キャパシタとで構成される複数個の強誘電体メモリセルがマトリックスに配置された領域とを含む。フリップフロップ回路のビット線と、強誘電体メモリセルのビット線とは、スイッチを介して接続する。フリップフロップ回路のワード線と、強誘電体メモリセルのワード線は、同一のアドレスで一対一に対応しているが、別の制御線(FiS及びFiF)により、その両方を同時に活性化することもできるし、どちらか一方を選択して活性化することもできる。さらに、この構成で、フリップフロップ回路のビット線にはアンプ(SAiなど)が接

続されており、上記アンプは、フリップフロップ回路の揮発情報を検知するためと強誘電体メモリセルの不揮発情報を検知するために共用される（図1）。

【0005】さらに本発明の半導体装置では、この構成で、上記フリップフロップ回路がマトリックスに配置された領域のうち、上記アンプに近い側の一部のフリップフロップ回路は、CPUに用いられる命令セットで直接アドレスが指定されるレジスタであり、残りのフリップフロップ回路は、メモリマネジメントユニット（MMU）の情報を介して間接的にアドレスが指定されるキャッシュメモリである。キャッシュメモリセルの接続するビット線とレジスタセルの接続するビット線とは、スイッチ回路により電氣的に分離できる（図2）。

【0006】本発明の半導体装置で、強誘電体メモリセルの不揮発情報をキャッシュメモリセルあるいはレジスタセルの揮発情報に転写する場合、まず強誘電体キャパシタの共通プレートに電位が接地電位から電源電圧へ移行される。その後、強誘電体メモリセルの不揮発情報が、同一アドレスのワード線で選択され同一の上記アンプに接続するキャッシュメモリセルあるいはレジスタセルの揮発情報に転写される。この際のビット線ブリチャージ電位を接地電位とする。すべての強誘電体メモリセルに対して上記転写が終了したら、共通プレートに電位を接地電位に戻しておく。この共通プレート電位変化の際、強誘電体メモリセルのワード線はすべて非活性の状態とする（図3、図4）。

【0007】本発明の半導体装置で、キャッシュメモリセルあるいはレジスタセルの揮発情報を強誘電体メモリセルの不揮発情報として退避する場合、上記共通プレートは接地電位のままとする。キャッシュメモリセルあるいはレジスタセルの揮発情報が、同一アドレスのワード線を選択され同一の上記アンプに接続する強誘電体メモリセルの不揮発情報に転写される。退避動作で、キャッシュメモリセルあるいはレジスタセルの揮発情報が、接地電位あるいは電源電位として上記アンプによりビット線にラッチされた後に、情報を格納する強誘電体メモリセルのワード線を活性化するようにする（図3、図5）。

【0008】

【発明の実施の形態】図1は本発明の一実施例の揮発情報を不揮発に保持できる高速動作のフリップフロップ回路（たとえばキャッシュメモリ）の構成を示す。この回路はワード線たとえばWS0とビット線対たとえばBLi/BBiの交点に複数のキャッシュメモリセルがマトリックスに配置されたキャッシュメモリアレーS-MAと、ワード線たとえばWF0とビット線対たとえばBLi/BBiの交点に複数の強誘電体メモリアレーF-MAを含む。

【0009】上記ビット線対たとえばBLi/BBiは、

スイッチ回路SWにより、上記キャッシュメモリアレー領域と上記強誘電体メモリアレー領域とで電氣的に分離でき、また、上記キャッシュメモリセル及び強誘電体メモリセルの情報を検知、増幅するためのアンプSAiに接続している。SAiは強誘電体メモリアレーよりキャッシュメモリアレーに近い側に設けられ、出力線Doiを持つ。

【0010】フリップフロップ回路のワード線たとえばWS0と、強誘電体メモリセルのワード線たとえばWF0は、同一のアドレスで一対一に対応しているが、別の制御線（FiS及びFiF）により、その両方を同時に活性化することもできるし、どちらか一方を選択して活性化することもできる。すなわち、ワード線を活性化するゲートGTは、XデコーダX-DECからXドライバX-DRVを経た信号と、制御線FiFまたはFiSをその入力信号とする。

【0011】本実施例によれば、同一のビット線及びアンプを介して、キャッシュメモリセルの揮発情報の強誘電体メモリセルへの不揮発情報としての退避、及びその逆の揮発情報の呼び戻しが、高速にかつ小面積の回路構成で実現できる。通常動作時には、スイッチ回路SWFをオフ状態とすることにより、キャッシュメモリアレーは従来のアレーとまったく同じとなるので、不揮発性を付加することにより高速性が損なわれることがない。

【0012】また、揮発情報及び不揮発情報の格納アドレスが一対一に対応しているので、制御が簡単である。さらに、強誘電体メモリ部を高集積性に特化したプロセス（たとえば多結晶シリコン配線による自己整合プロセス）、キャッシュメモリ部を高速性に特化したプロセス（たとえば低抵抗配線プロセス）で形成することができるので、製造が容易で高性能の不揮発性キャッシュメモリが得られる。強誘電体メモリ部をダイナミックランダムアクセスメモリ（DRAM）と同様なプロセスで形成すれば、セルサイズをキャッシュメモリセルの十分の一近くまで小さくすることも可能である。

【0013】図2はCPUにオンチップ化したキャッシュメモリ及びレジスタファイルの不揮発化した構成を示す、本発明の一実施例である。図1のメモリアレー構成に比べて、アンプ部SA-BとキャッシュメモリアレーS-MAとの間にレジスタファイルRFおよびRFのビット線をS-MAのそれと電氣的に分離するためのスイッチ回路SWSが設けられている。RFの回路構成はS-MAと同様であるが、キャッシュメモリアレーのアドレスが、CPUからメモリマネジメントユニットMMU、さらにキャッシュタグC-TAGを経て指定されるのに対して、レジスタのアドレスは、CPUの命令セットのデータで直接指定される点異なる。通常はSWS及びSWFはオフ状態であり、キャッシュメモリが選択された場合にはSWSがオン状態となり、不揮発情報としての退避、及びその逆の揮発情報の呼び戻しの際にはSW

Fもオン状態となる。本発明の実施例によれば、図1と同様な効果が得られる。

【0014】図3は、図1のメモリアレーのより具体的な構成を示す、本発明の一実施例である。強誘電体メモリセルたとえばMF(00)は二つの強誘電体キャパシタと二つの電界効果トランジスタとから構成される。強誘電体キャパシタのプレートVPLは、強誘電体メモリアレー内で共通である。ビット線を接地電位にプリチャージするプリチャージ回路PF0は、強誘電体メモリセルの情報を検知する際に用いられる。PF0は、リコール信号バーがロウレベルの時プリチャージ信号線PCSで制御され、リコール信号バーがハイレベルの時、非活性状態となる。

【0015】強誘電体メモリ部は信号線SHRがハイレベルの時にはキャッシュメモリ部と切り離される。キャッシュメモリセルたとえばMS(00)はフリップフロップ回路で構成される。ビット線を電源電位にプリチャージするプリチャージ回路PS0は、キャッシュメモリセルの情報を検知する際に用いられる。PS0は、リコール信号バーがハイレベルの時プリチャージ信号線PCSで制御され、リコール信号バーがロウレベルの時、非活性状態となる。YSBはキャッシュメモリ部をアンプたとえばSA0に接続するY選択線である。

【0016】図4及び図5に、図3の回路構成における揮発情報の呼び戻し(リコール)、及び不揮発情報への退避(ストア)の動作波形をそれぞれ示す。

【0017】図4はリコール動作波形を示す、本発明の一実施例である。図1または図2を含むシステムに対してスタンバイ状態が解除されたとき、スタンバイ状態における電源電圧の供給停止が解除される。すなわち、システムの内部電源電圧はVccに再設定される。VPLもVccとなる。この時、Wiはロウレベルでワード線は非活性状態でなければならない。アンプの信号線SAP、SANはそれぞれVcc及び0に設定され、アンプを非活性状態に保つ。リコール信号バーは、リコールモードであることを示すロウレベルとなっている。リコール動作中はビット線は0Vにプリチャージされ、SHR、YSBはロウレベルでビット線の接続スイッチはすべてオン状態である。またFiFはハイレベルに保持されてX-DRVからの信号で直ちに強誘電体メモリ部のワード線が活性化される状態となっている。スタンバイ状態解除後、内部電源電圧が安定化する程度の一定遅延の後、リコール・ストアカウンタが0000から0001にカウントアップされる。なお、カウンタは必ずしも4ビットである必要はない。

【0018】カウントアップにより、W0で選択される情報の、不揮発から揮発への呼び戻しが始まる。まず、PCSがハイレベルとなり、ビット線は0Vのフローティング状態となる。次にW0によりWF0が活性化され、ビット線対たとえばBL0/BB0にMF(00)

の不揮発情報が電位差として生じる。次に、SAP、SANをそれぞれロウレベル、ハイレベルとして、BL0/BB0の情報を増幅する。次に、FiSをハイレベルにしてWS0を活性化し、MF(00)に対応するキャッシュメモリセルMS(00)へ、情報を書き込む。これでW0で選択される情報のリコールが終了し、WF0、WS0を非活性状態に戻す。

【0019】最後にアンプを非活性状態としてビット線を0Vに再プリチャージする。再プリチャージ時にリコール信号バーがロウレベルであった場合、リコール・ストアカウンタがカウントアップされる構成になっている。この結果、W1で選択される情報のリコールが開始される。

【0020】以上のようにしてすべての強誘電体メモリセルに対してリコールを行い、最後のWnで選択される情報が終了すると、リコール・ストアカウンタは0000にリセットされ、最上位のキャリー信号を発生する。キャリー信号発生時にリコール信号バーがロウレベルであった場合には、リコール信号バーはハイレベルに変化する。これは、通常動作への移行を意味し、VPLは接地電位に変化し、SHR信号は強誘電体メモリ部をキャッシュメモリ部から切り離す。また、FiFがロウレベルに、FiSがハイレベルに変化し、Wi選択時に今度はキャッシュメモリが直ちに選択されるようになる。

【0021】図5はストア動作波形を示す、本発明の一実施例である。システムがスタンバイ状態に入ると、まずSHRがロウレベルとなり、強誘電体メモリ部がキャッシュメモリ部に接続される。そして、リコール・ストアカウンタが0000から0001へカウントアップされる。リコール信号バーがハイレベル、スタンバイ信号がハイレベルの時、このカウントアップによりW0で選択される信号のストア動作が開始される。PCSの変化によりビット線がフローティング状態となるが、この時、リコール信号バーがハイレベルであるので、ビット線はVccにプリチャージされている。なお、ストア動作時のビット線プリチャージ電位は必ずしもVccである必要はない。

【0022】次にカウンタ0001に対応するW0が選択される。FiSがハイレベル、FiFがロウレベルなので、WS0が活性化し、キャッシュメモリセルを選択する。その結果、ビット線対たとえばBL0/BB0にキャッシュメモリセルMS(00)の情報が電位差として生じる。次にSAP、SANによりアンプが活性化される。そして、ビット線対の電位はMS(00)の情報に対応して0及びVccにラッチされる。この時点で、FiFがハイレベルとなり、WF0が活性化される。

【0023】ここで、ビット線電位が0及びVccに増幅される以前にWF0を活性化してはならない。これは、リコールの時点で強誘電体キャパシタの分極は一方(プレート側がハイレベルである方向)にリセットされ

ており、ストア時にはキャッシュメモリの情報に対応して一部の分極だけを反転させるためである。すなわち、ストア時のビット線電位が0の場合には、書き込むべき分極はプレート側がハイレベルとなる方向であり、既にリコール時に設定されている分極方向である。ビット線電位が0及びVccに増幅された時点でWF0を活性化すれば、強誘電体キャパシタに印加される電圧はほぼ0であり、リコール時に設定された分極方向を破壊することがない。一方、ストア時のビット線電位がVccの場合には、WF0の活性化により、プレート側がロウレベルと

なる電圧が強誘電体キャパシタに印加され、キャッシュメモリの情報に対応して分極方向が反転する。
【0024】以上のようにして、W0で選択される情報の不揮発情報としての退避が完了し、ワード線が非活性化される。最後にアンプを非活性状態としてビット線をVccに再プリチャージする。再プリチャージ時にスタンバイ信号がハイレベルであった場合、リコール1・ストアカウンタがカウントアップされる構成になっている。この結果、W1で選択される情報のストアが開始される。以上のようにしてすべてのキャッシュメモリセルに対して不揮発情報としてのストアを行う。最後のWnで選択される情報が終了すると、リコール・ストアカウンタは0000にリセットされ、最上位のキャリア信号を発生する。キャリア信号発生時にスタンバイ信号がハイレベルであった場合には、内部電源が接地電位に降圧される。

【0025】図3から図5で説明した本発明の実施例によれば、(1)強誘電体キャパシタのプレートをメモリアレー内で共通化できるので、強誘電体メモリアレー部の面積を小さくできる。(2)2値の分極方向のうち、リコール時に一方向にリセットしておき、ストア時にもう一方のみ書き込む本動作方式によれば、共通プレートの電位をリコール開始時及び終了時に一度ずつ変化させるだけで良いので、高速でノイズ発生が少ないリコール、ストア動作が可能となる。(3)リコール時に共通プレート電位をVcc、ビット線プリチャージ電位を0V

とし、ストア時に共通プレート電位を0V、キャッシュメモリセル情報検知後のビット線電位を0VまたはVccとする本動作方式によれば、強誘電体キャパシタにほぼVccの電圧を印加して不揮発情報を書き込むことができるので、与えられた電圧振幅Vccをフルに活用した低電圧動作に好適なシステムが得られる。(4)通常動作時にすでに共通プレートは接地電圧に設定してあり、ストア命令が発生した後に共通プレートの電位を変化させる必要がないので、すみやかにストア動作が行える。

【0026】

【発明の効果】本発明の半導体装置によれば、高速動作でかつ不揮発に状態を保持できるフリップフロップ回路、特にキャッシュメモリやレジスタファイルが、容易な製造プロセスで実現できる。

【0027】さらに、本発明の揮発情報の呼び戻し(リコール)、及び不揮発情報への退避(ストア)方法によれば、フリップフロップ回路の不揮発化に伴うチップ面積の増大を小さくおさえられ、また、高速、高信頼のシステムが得られる。さらに、低電圧動作に好適なシステムが得られる。

【図面の簡単な説明】

【図1】本発明のキャッシュメモリの説明図。

【図2】本発明のデータ処理装置の説明図。

【図3】本発明のメモリアレーの回路図。

【図4】図3の構成におけるリコール動作波形図。

【図5】図3の構成におけるストア動作波形図。

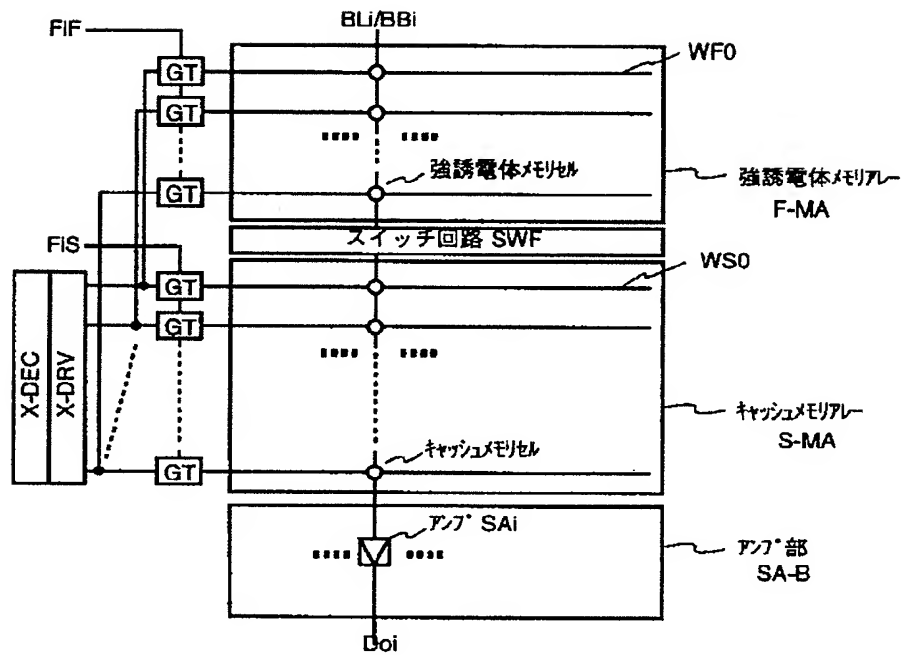
【図6】従来の強誘電体キャパシタを含むSRAMの説明図。

【符号の説明】

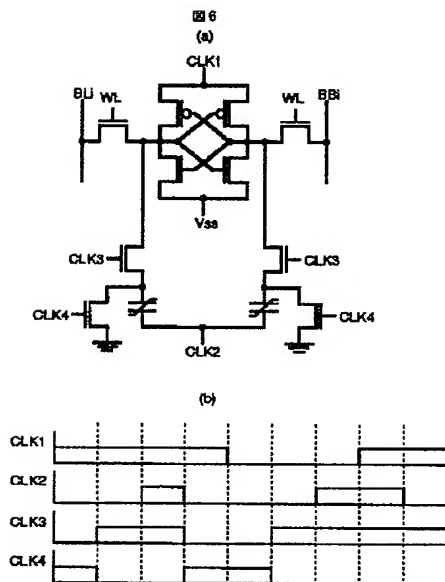
F-MA…強誘電体メモリアレー、S-MA…キャッシュメモリアレー、SA-B…アンプ部、SAi…アンプ、SWF…スイッチ回路、BLi/BBi…ビット線対、WF0、WS0…ワード線、GT…ゲート、X-DEC…Xデコーダ、X-DRV…Xドライバ、FiF、FiS…制御線。

【図1】

図1

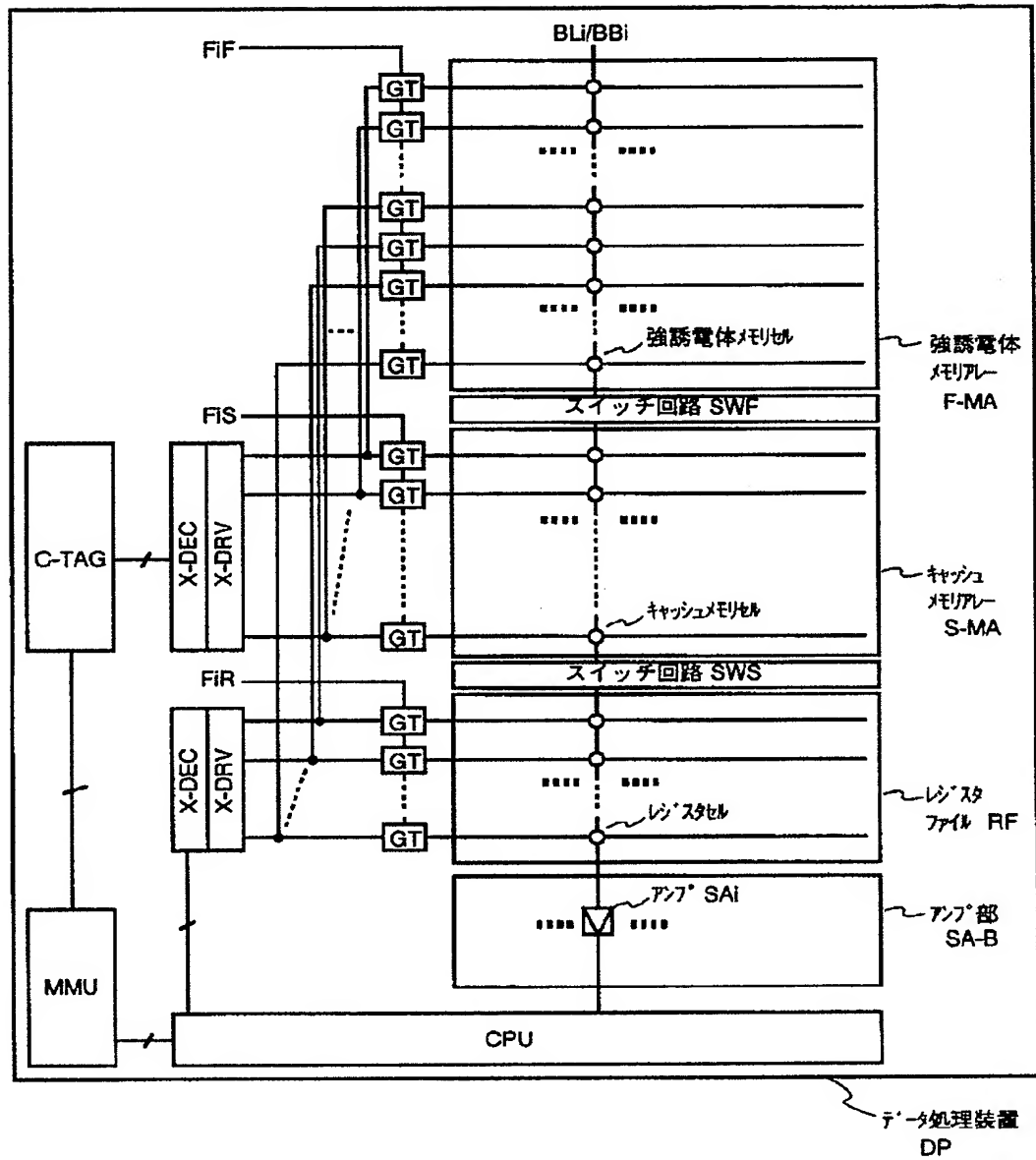


【図6】



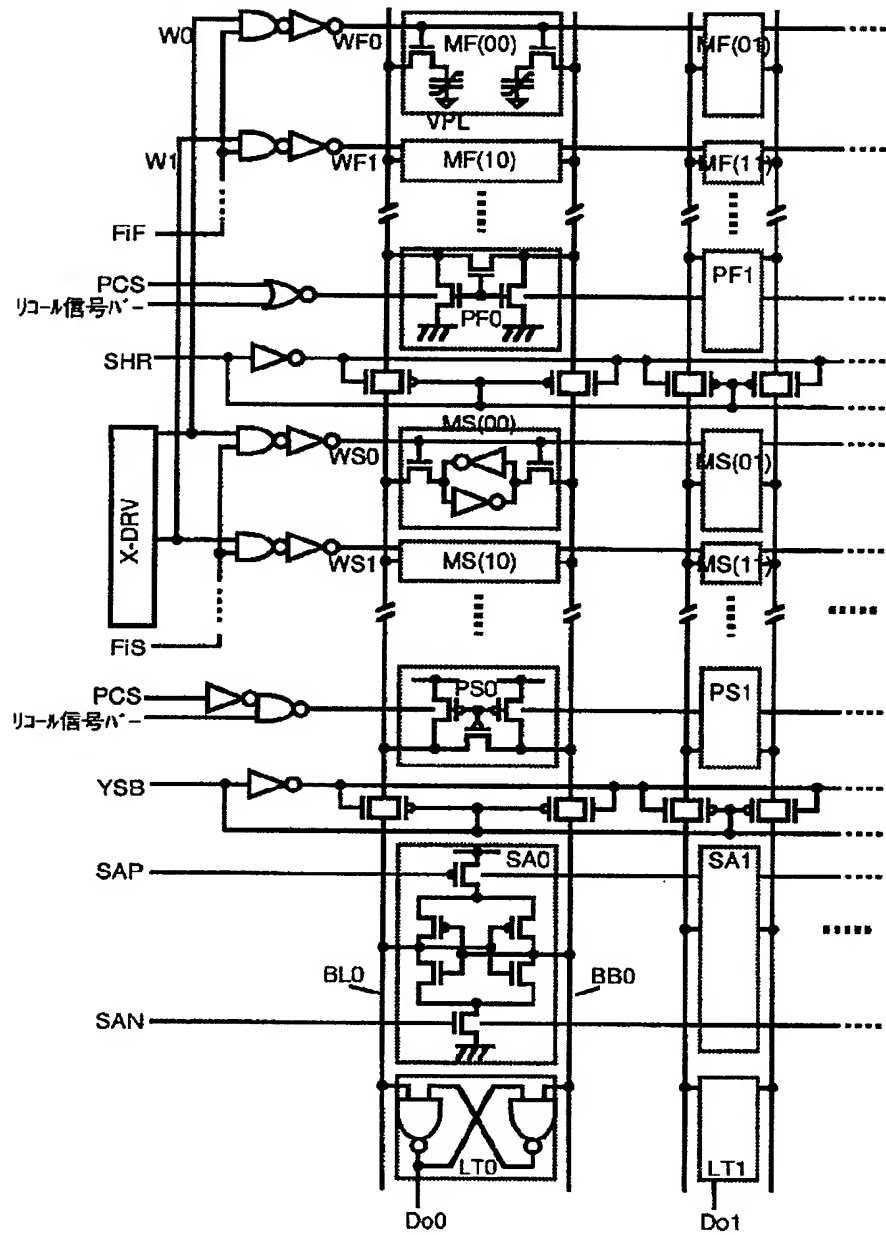
【図2】

図2



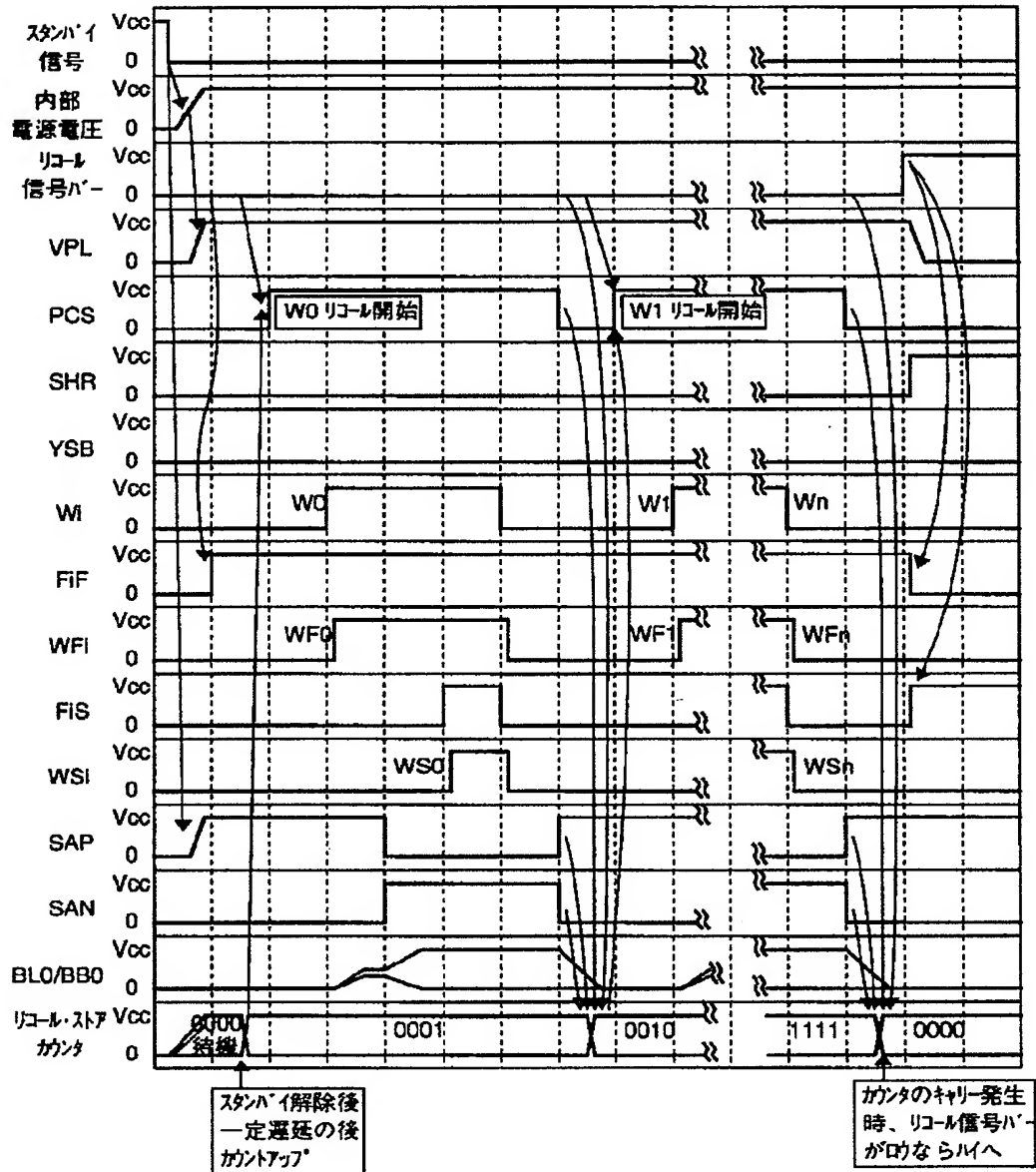
【図3】

図3



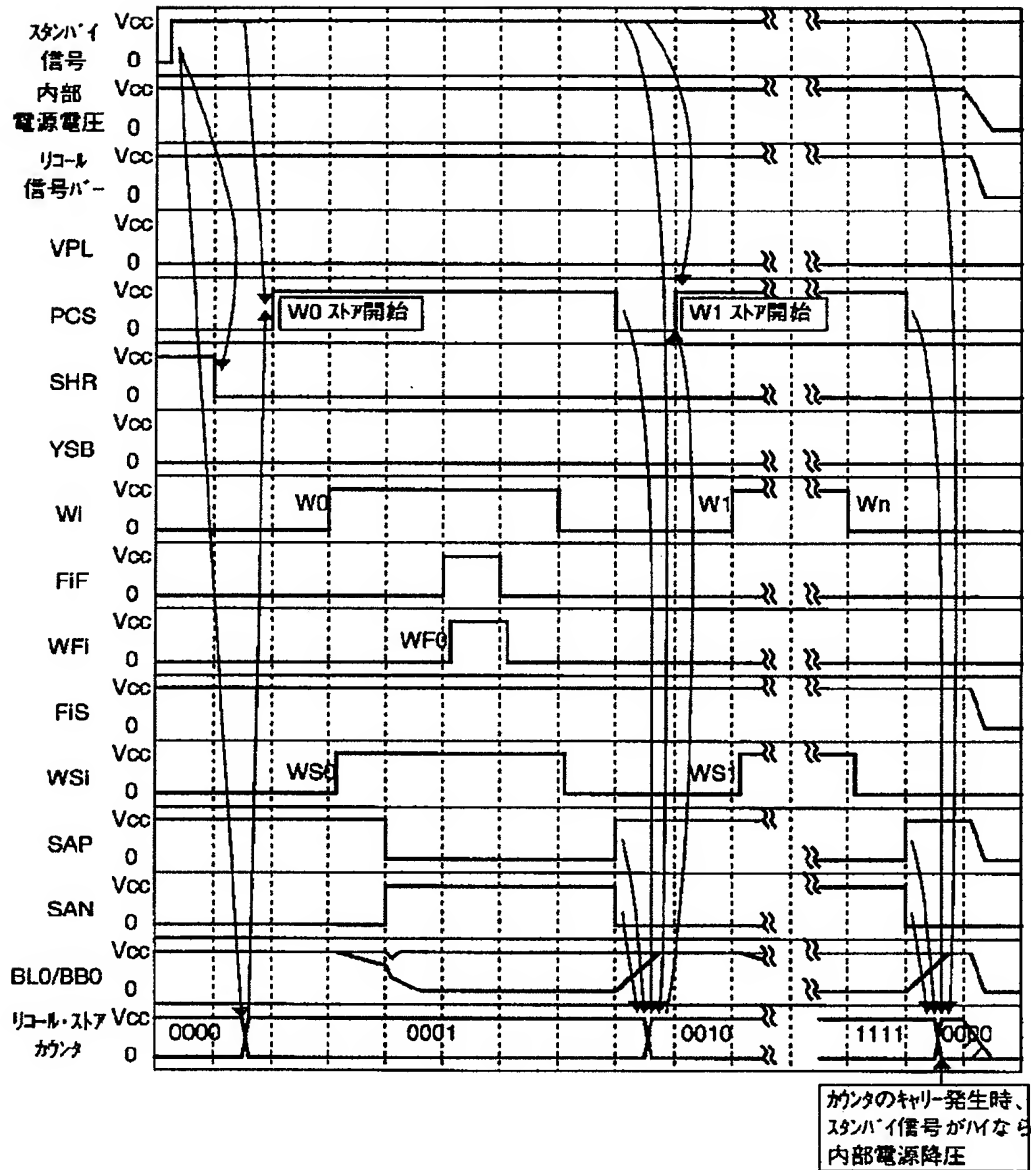
【図4】

図4



【図5】

図5



フロントページの続き

(72)発明者 山田 孔司
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 谷川 博之
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内